

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-320976

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

G11C 11/407

H01L 27/04

H01L 21/822

H03L 7/06

(21)Application number : 09-124548

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.05.1997

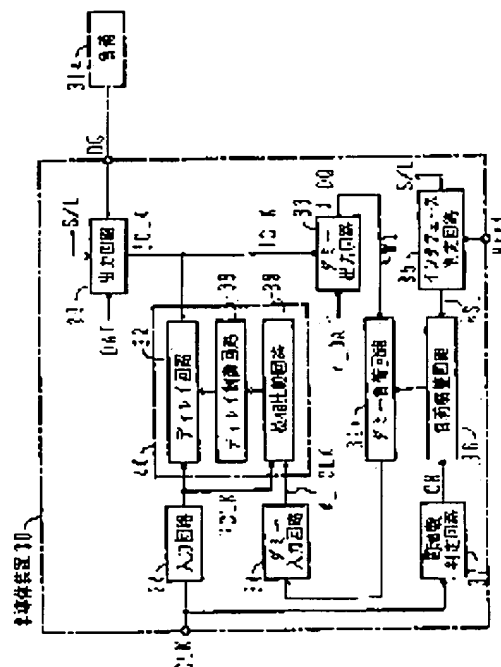
(72)Inventor : DOUCHI HIROKO
SHINOZAKI NAOHARU

(54) SEMICONDUCTOR DEVICE AND ITS ACCESS TIME ADJUSTMENT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the allowance of a holding time which is reduced when output data can not swing fully.

SOLUTION: The load of a dummy load circuit 31x included in a dummy circuit connected to a DLL circuit 40 is adjusted by a load adjustment circuit 36 in accordance with the judgement results of a frequency judgement circuit 37 and an interface judgement circuit 35. That is, the value of the load of the dummy load circuit 31x is smaller than the value of the load when the access time of output data DQ to an external clock CLK does not depend upon the frequency of the output data DQ by the value of the load corresponding to a value approximately a half of the maximum change of an access time changed in accordance with the frequency of the output data DQ.



LEGAL STATUS

[Date of request for examination]

09.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-320976

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁹

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 C

H 0 1 L 27/04

3 6 2 S

21/822

H 0 1 L 27/04

M

H 0 3 L 7/06

H 0 3 L 7/06

Z

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号

特願平9-124548

(22) 出願日

平成9年(1997)5月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 道地 ひろ子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 篠崎 直治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

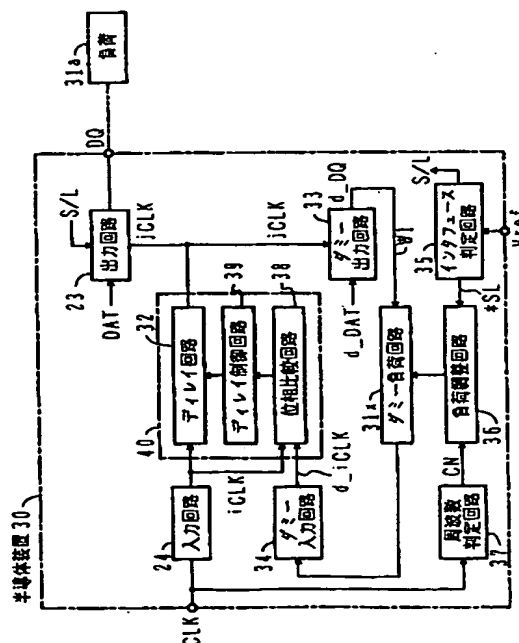
(54) 【発明の名称】 半導体装置及びそのアクセスタイム調整方法

(57) 【要約】

【課題】 出力データがフルスイングできなくなる場合に減少するホールドタイムの余裕を増加させる。

【解決手段】 D L L 回路 4 0 に接続されたダミー回路に含まれるダミー負荷回路 3 1 x の負荷を、周波数判定回路 3 7 及びインタフェース判定回路 3 5 の判定結果に応じて、負荷調整回路 3 6 により調整する。すなわち、ダミー負荷回路 3 1 x の負荷の値を、外部クロック C L K に対する出力データ D Q のアクセスタイムが出力データ D Q の周波数によらない場合の負荷の値よりも、出力データ D Q の周波数に応じて変化するアクセスタイムの変化量最大値の略 1 / 2 に相当する負荷の値だけ小さくする。

本発明の一実施形態に係る半導体装置の概略構成を示すブロック図



【特許請求の範囲】

【請求項1】 外部クロックに応じて第1内部クロックを出力する入力回路と、

該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、

該第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、

を有する半導体装置に対し、

該第2内部クロックを少なくともダミー負荷回路で遅延させ、ダミークロックとして出力するダミー回路と、

該第1内部クロックと該ダミークロックとの位相差が所定値になるように該ディレイ回路での遅延量を制御する位相比較・制御回路と、

を用い、

該ダミー負荷回路の負荷の値 L_2 を、該外部クロックに対する該出力データのアクセスタイムが該出力データの周波数によらない場合の負荷の値 L_1 よりも、該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値の略 $1/2$ に相当する負荷の値 ΔL だけ小さくし、

この状態で該位相比較・制御回路の動作を有効にして該ディレイ回路の遅延量を定める、

ことを特徴とする半導体装置のアクセスタイム調整方法。

【請求項2】 外部クロックに応じて第1内部クロックを出力する入力回路と、

該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、

該第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、

を有する半導体装置に対し、

該第2内部クロックを遅延させダミークロックとして出力するダミー回路と、

該第1内部クロックと該ダミークロックとの位相差が所定値になるように該ディレイ回路での遅延量を制御する位相比較・制御回路と、

を用い、

該位相比較・制御回路の動作を有効にして該ディレイ回路の遅延量を第1値として求め、

該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値を求め、

該ディレイ回路の遅延量を、第1値より該変化量最大値の略 $1/2$ だけずらした値として定める、

ことを特徴とする半導体装置のアクセスタイム調整方法。

【請求項3】 外部クロックに応じて第1内部クロックを出力する入力回路と、

該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、

該第2内部クロックのタイミングで入力データを取り込

み出力データとして外部に出力する出力回路と、

を有し、該ディレイ回路の遅延量が請求項1又は2記載の方法で定められていることを特徴とする半導体装置。

【請求項4】 外部クロックに応じて第1内部クロックを出力する入力回路と、

第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、

該第2内部クロックを少なくともダミー負荷回路で遅延させ、ダミークロックとして出力するダミー回路と、

10 該第1内部クロックに対する該ダミークロックの位相が所定値になるように該第1内部クロックをディレイ回路で遅延させ該第2内部クロックとして出力するDLL回路とを有し、

該ダミー負荷回路の負荷の値 L_2 が、該外部クロックに対する該出力データのアクセスタイムが該出力データの周波数によらない場合の負荷の値 L_1 よりも、該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値の略 $1/2$ に相当する負荷の値 ΔL だけ小さいことを特徴とする半導体装置。

20 【請求項5】 上記外部クロックCLKの周波数を判定する周波数判定回路と、

該周波数判定回路の判定結果に応じ、上記負荷の値を上記 L_1 又は L_2 に調整する負荷調整回路と、

を有することを特徴とする請求項4記載の半導体装置。

【請求項6】 上記周波数判定回路は、

モノマルチバイブレータと、

該モノマルチバイブレータの出力パルスがアクティブの間、クロックを計数するカウンタと、

を有することを特徴とする請求項5記載の半導体装置。

30 【請求項7】 上記負荷の値 L_2 は複数存在し、

上記ダミー負荷回路は、

複数の部分負荷と該複数の部分負荷の各々を有効/無効にする複数のスイッチ素子と、

を有し、上記負荷調整回路は、

上記カウンタの計数値を変換する符号変換回路と、

該符号変換回路の出力に応じて、上記負荷の値が該複数の値 L_2 のうちの1つに定められるように該スイッチ素子を制御する論理回路と、

40 有することを特徴とする請求項5又は6記載の半導体装置。

【請求項8】 上記出力回路は選択可能な複数種の出力インタフェースに対応した回路を備え、

選択された該出力インタフェースの種類を判定するインタフェース判定回路を有し、

上記負荷調整回路は、上記周波数判定回路及び該インタフェース判定回路の判定結果に応じ、上記負荷の値を上記 L_1 又は L_2 に調整する、

ことを特徴とする請求項5記載の半導体装置。

【請求項9】 上記ダミー回路は、

50 信号遅延量が上記出力回路での上記外部クロックに対す

3

るデータ出力のそれに略等しいダミー出力回路と、
上記ダミー負荷回路と、
信号遅延量が上記入力回路のそれに略等しいダミー入力
回路と、
を有し、該ダミー出力回路と該ダミー負荷回路と該ダミ
ー入力回路とが縦続接続されていることを特徴とする請
求項4乃至8のいずれか1つに記載の半導体装置。

【請求項10】 上記DLL回路は、
上記第1内部クロックに対する上記ダミークロックの位
相の進み、遅れ又は略一致を検出する位相比較回路と、
該位相の進み又は遅れが検出された時に該位相比較回路
が該位相の略一致を検出するように上記ディレイ回路の
遅延量を制御するディレイ制御回路と、
を有することを特徴とする請求項4乃至9のいずれか1
つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びそ
のアクセスタイム調整方法に関する。

【0002】

【従来の技術】図10は、従来のシンクロナスDRAM
の一部の概略構成を示す。以下、一般に*AはAの2値
を反転した信号であるとする。ローアドレスをデコード
した信号によりワード線WLが活性化されてセルアレイ
10の1行が選択され、この1行から読み出されたデー
タがセンスアンプ11で増幅される。例えばメモリセル
12から読み出されたデータによりビット線対BLと*B
Lとの間に微小電位差が生じ、この電位差がセンスア
ンプ11で増幅される。次に、コラムアドレスをデコー
ドした信号によりコラム選択線CLが活性化されてコ
ラムスイッチ回路13内のスイッチが選択的にオンにな
り、ビット線対BLと*B Lがそれぞれデータ線対DB
と*DBと導通される。データ線DB及び*DB上のデー
タは、データバスアンプ14で増幅され、スイッチ回
路15がオンにされるとデータバス制御回路16に転送
され、スイッチ回路17AがオンにされるとI/Oデー
タバッファ回路18Aに転送され、データDQとして外
部端子に取り出される。

【0003】セルアレイ10の1行分のデータがセンス
アンプ11で増幅されているので、コラムスイッチ回路
13内のスイッチを選択的に順次切り換えることによ
り、連続してデータを読み出すことができる。この切り
換えと、スイッチ回路15及び17Aのオン/オフがク
ロックに同期して行われることにより、データ読み出し
がパイプライン処理される。このパイプラインは3段で
あり、コラムスイッチ回路13とデータバスアンプ14
とで第1段パイプ21が構成され、スイッチ回路15と
データバス制御回路16とで第2段パイプ22が構成さ
れ、スイッチ回路17AとI/Oデータバッファ回路1
8Aとで第3段パイプ23Aが構成されている。パイプ

4

21、22及び23Aは、クロックバッファ回路24A
からのクロックに同期して動作する。このクロックは、
外部クロックCLKの駆動能力をクロックバッファ回路
24Aで増幅し且つ適当に遅延させたものである。クロ
ックバッファ回路24Aにはクロックイネーブル信号C
KEも供給され、クロックイネーブル信号CKEがアク
ティブのときのクロックCLKが不図示の回路で用いら
れる。

【0004】データバス制御回路16及びI/Oデー
タバッファ回路18Aはいずれもフリップフロップ回路を
備えており、例えば、それぞれ'H'及び'L'が保持
され、データDQが'L'になっているとする。外部ク
ロックCLKがクロックバッファ回路24A内で増幅さ
れ、比較的長い配線を通り、内部クロックiCLKとし
てスイッチ回路17Aの制御入力端に供給される。外部
クロックCLKが立ち上がった後、内部クロックiC
LKが立ち上がって、スイッチ回路17Aがオンになり、
データバス制御回路16の出力'H'がI/Oデータバ
ッファ回路18A内のフリップフロップ回路に保持さ
れ、駆動能力がさらに増幅されて、データDQが'H'
になる。すなわち、外部クロックCLKが立ち上
がってから、アクセスタイム t_a 経過後にデータDQが変化する。

【0005】第3段パイプ23Aの構成例を、図11に
示す。この構成では、SDRAMの出力インタフェース
として、SSTLとLVTTLとの一方が選択可能にな
っている。SSTL出力インタフェースの高レベル
'H'及び低レベル'L'の下限及び上限はそれぞれV
ref+0.4及びVref-0.4であり、LVTT
Lインタフェースのこれらに対応した値はそれぞれ2.
4V及び0.4Vである。

【0006】SSTLとLVTTLのインタフェース出
力段(CMOS)の電源電圧は、図11ではいずれも
3.3Vになっているが、両出力段の駆動能力は互いに
異なり、また、SSTL及びLVTTLのインタフェ
ース出力段に接続される不図示の入力回路に流れる電流は
それぞれ16mA及び2mA程度であるので、前記電圧
の上下限值が満たされる。

【0007】スイッチ回路17Aは、インバータ17
1、172、転送ゲート173及び174を備えてい
る。I/Oデータバッファ回路18Aは、インバータ1
81~185、ナンドゲート186、ノアゲート18
7、ナンドゲート188、ノアゲート189及びトラン
ジスタ18a~18dを備えている。トランジスタ18
a及び18cはpMOSFETであり、トランジスタ1
8b及び18dはnMOSFETである。転送ゲート1
73及び174はいずれもpMOSトランジスタとnM
OSTランジスタとを並列接続した構成である。

【0008】SSTLインタフェースのときには、イン
タフェース判定信号S/Lが'H'になる。この場合、

ナンドゲート186及びノアゲート187がインバータとして機能し、トランジスタ18aと18bとからなるSSTLインターフェース出力段が有効になる。他方、ナンドゲート188及びノアゲート189の出力がそれぞれ‘H’及び‘L’に固定されて、トランジスタ18c及び18dがオフになり、トランジスタ18cと18dとからなるLVTTLインタフェース出力段がハイインピーダンス状態になる。

【0009】内部クロックiCLKが‘L’のときには、転送ゲート173及び174がオフになっている。このとき、上記と同じくデータバス制御回路16及びI/Oデータバッファ回路18Aにそれぞれ‘L’及び‘H’が保持されているとする。この場合、信号DAT1及びDAT2が‘H’、インバータ181と182とからなるフリップフロップ回路FF1の出力が‘H’、インバータ183と184とからなるフリップフロップ回路FF2の出力が‘H’、トランジスタ18aがオン、トランジスタ18bがオフ、データDQが‘H’になっている。

【0010】この状態から内部クロックiCLKが立ち上がると、転送ゲート173及び174がオンになり、フリップフロップ回路FF1及びFF2の出力が反転して‘L’になり、トランジスタ18aがオフ、トランジスタ18bがオンになって、データDQが‘L’に変化する。すなわち、外部クロックCLKの立ち上がりからアクセスタイム t_a 経過後に出力データDQが変化する。

【0011】インタフェース判定信号S/Lが‘L’の場合には上記の場合と逆に、SSTLインタフェース出力段がハイインピーダンス状態になり、LVTTLインタフェース出力段が有効になる。アクセスタイム t_a は、図13の出力DQの波形a～dのように、SDRAMの特性や電源電圧のばらつきにより異なり、一定ではない。これら波形a～dを重ね合わせた図において、XXXXの部分、データとして使用できないデッドバンドである。クロックアクセスタイム t_{AC} クロックの立ち上がりからデッドバンドの終わりまで（データが確定するまで）の時間であり、データ保持時間 t_{OH} はクロックの立ち上がりからデッドバンド開始までの時間である。デッドバンドは $t_{AC}-t_{OH}$ となり、デッドバンド0（ $t_{AC}=t_{OH}$ ）が理想の場合である。外部クロックCLKの周期を t_{CLK} と表記すると、データ確定時間は、 $t_{CLK}+t_{OH}-t_{AC}=t_{CLK}-$ （デッドバンド）となる。例えば外部クロックCLKが100MHzの場合、クロック周期 t_{CLK} は10nsであり、このときデッドバンドが3nsとすると、データ確定時間は7nsとなる。

【0012】外部クロックCLKと位相が一定の関係にあるクロックCLKAに同期して、他の半導体装置の入力回路でデータDQを読み込む場合、セットアップタイ

t_{MS} 及びホールドタイム t_H が必要であり、 $t_S+t_H<$ （データ確定時間）でなければならない。通常の入力回路では、 $t_S+t_H=3ns$ 程度であり、残り4nsが余裕時間になる。しかし、データDQが複数の場合には端子間の出力タイミングにばらつきがあり、また、半導体装置が搭載されたボード上での信号遅延に差があり、しかもこれらが温度や電源電圧の変動により変化するので、余裕時間4nsは非常に厳しい値である。外部クロックCLKの周波数をさらに上げると、この余裕時間はさらに厳しくなる。

【0013】このような問題は、SDRAMに限らず、一般に、図12に示すような半導体装置30Aの出力端に半導体装置31を接続した場合に生ずる。半導体装置30A内の出力回路23及び入力回路24はそれぞれ図10の第3段パイプ23A及びクロックバッファ回路24Aに対応している。本願出願人は、先の出願（特願平8-339988）において、SDRAMの特性や電源電圧のばらつき等により生ずるデッドバンドを短縮できる構成を提案した。

【0014】

【発明が解決しようとする課題】しかし、この構成では補正できないデッドバンド発生原因が外に存在することが分かった。この原因を、図14に従って説明する。図14（A）～（D）は、外部クロックCLKの立ち上がり毎にデータDQが反転している場合を示しており、図14（A）：データ出力がSSTLインタフェースでありかつ低周波の場合

図14（B）：データ出力がSSTLインタフェースかつ高周波の場合

図14（C）：データ出力がLVTTLインタフェースかつ低周波の場合

図14（D）：データ出力がLVTTLインタフェースかつ高周波の場合

である。ここに高周波とは、前記補正できないデッドバンドが発生する程度に周波数が高いという意味であり、低周波とは、この発生がない程度に周波数が低いという意味である。

【0015】図14（A）～（D）の場合の上記アクセスタイム t_a をそれぞれ t_{sa} 、 t_{sb} 、 t_{la} 及び t_{lb} とする。低振幅であるSSTLの場合には、高周波でもデータDQがフルスイングできるので、 $t_{sa}=t_{sb}$ となる。これに対しLVTTLの場合には、高周波の場合にデータDQがフルスイングできなくなり、 $t_{lb}<t_{la}$ となる。すなわち、LVTTLではアクセスタイム t_{lb} がアクセスタイム t_{la} に一致しないことにより、図13に示すデッドバンド $t_{AC}-t_{OH}$ が増加することになる。LVTTLインタフェースかつ高周波の場合であっても、データDQが低周波であるとき、例えばデータDQが‘L’、‘L’、‘H’、‘H’、‘L’、‘L’、・・・と変化する場合には、 $t_{la}=$

t_{1b} となる。すなわち、高周波の場合には予測できないデータDQの周波数に応じて $t_{1b} < t_{1a}$ となったり $t_{1b} = t_{1a}$ となったりする。このため、ホールドタイム t_H の余裕が $t_{1a} - t_{1b}$ だけ短くなる。

【0016】本発明の目的は、このような着眼点に鑑み、出力データがフルスイングできなくなる場合に減少するホールドタイムの余裕を増加させることが可能な半導体装置及びそのアクセスタイム調整方法を提供することにある。

【0017】

【課題を解決するための手段及びその作用効果】請求項1の半導体装置のアクセスタイム調整方法では、外部クロックに応じて第1内部クロックを出力する入力回路と、該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、該第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、を有する半導体装置に対し、該第2内部クロックを少なくともダミー負荷回路で遅延させ、ダミークロックとして出力するダミー回路と、該第1内部クロックと該ダミークロックとの位相差が所定値になるように該ディレイ回路での遅延量を制御する位相比較・制御回路と、を用い、該ダミー負荷回路の負荷の値 L_2 を、該外部クロックに対する該出力データのアクセスタイムが該出力データの周波数によらない場合の負荷の値 L_1 よりも、該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値の略 $1/2$ に相当する負荷の値 ΔL だけ小さくし、この状態で該位相比較・制御回路の動作を有効にして該ディレイ回路の遅延量を定める。

【0018】次の4つの場合を考える。

(1) アクセスタイムが出力データ周波数によらず且つダミー負荷の値を L_1 よりも ΔL だけ小さくしない場合

(2) アクセスタイムが出力データ周波数により異なり且つダミー負荷の値を L_1 よりも ΔL だけ小さくしない場合

(3) アクセスタイムが出力データ周波数によらず且つダミー負荷の値を L_1 よりも ΔL だけ小さくした場合

(4) アクセスタイムが出力データ周波数により異なり且つダミー負荷の値を L_1 よりも ΔL だけ小さくした場合

(1) 及び (2) はダミー負荷の値を ΔL だけ補正しない場合であり、(3) 及び (4) は請求項1の発明によりダミー負荷の値を ΔL だけ補正した場合である。

【0019】位相比較・制御回路の動作を有効にしてディレイ回路の遅延量を調整し、(1) の場合のアクセスタイムを t_{1a} とすると、理想的な場合、(2) のときのアクセスタイムは $t_{1a} - t_{1c}$ となり、(3) のときのアクセスタイムは $t_{1a} + t_{1c}/2$ となり、

(4) のときのアクセスタイムは $t_{1a} - t_{1c}/2$ となる。

【0020】すなわち、請求項1の発明によれば、補正しない場合よりも、図13のホールドタイム t_H の余裕時間が $t_{1c}/2$ だけ増加する。図13のセットアップタイム t_S の余裕時間が、補正しない場合よりも $t_{1c}/2$ だけ増加することになるが、両タイム t_S 及び t_H の余裕のバランスがとれるので、補正しない場合よりも余裕時間が実質的に増加することになるという効果を奏し、半導体装置が搭載されたボードの不滞留向上に寄与する。

10 【0021】また、実際には位相比較・制御の誤差により(1) の場合においてもデッドバンドが存在し、出力データについて正及び負の不規則なジッタが生ずる。他方、上記調整により、データ周波数の不規則な変化に応じて、出力データについて正及び負の不規則なジッタが生ずる。したがって、両ジッタが打ち消し合うこともある。これに対し、上記補正をしなかった場合には、データ周波数の不規則な変化に応じて、出力データについて負の大きな不規則なジッタが生ずる。結果として、補正した方がしない場合よりも、図13のデッドバンドが短縮されることになるという効果を奏する。

20 【0022】請求項2の半導体装置のアクセスタイム調整方法では、外部クロックに応じて第1内部クロックを出力する入力回路と、該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、該第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、を有する半導体装置に対し、該第2内部クロックを遅延させダミークロックとして出力するダミー回路と、該第1内部クロックと該ダミークロックとの位相差が所定値になるように該ディレイ回路での遅延量を制御する位相比較・制御回路と、を用い、該位相比較・制御回路の動作を有効にして該ディレイ回路の遅延量を第1値として求め、該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値を求め、該ディレイ回路の遅延量を、第1値より該変化量最大値の略 $1/2$ だけずらした値として定める。

40 【0023】ずらす方向は、該外部クロックに対する該出力データのアクセスタイムが該出力データの周波数によらない状態で該第1値を求めた場合には正方向であり、そうでない場合には負方向である。この半導体装置のアクセスタイム調整方法によれば、請求項1の場合よりも簡単なダミー負荷回路を用いればよいという効果を奏する。

50 【0024】請求項3の半導体装置では、外部クロックに応じて第1内部クロックを出力する入力回路と、該第1内部クロックを遅延させ第2内部クロックとして出力するディレイ回路と、該第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路とを有し、該ディレイ回路の遅延量が請求項1又は2記載の方法で定められている。

【0025】請求項4の半導体装置では、外部クロックに応じて第1内部クロックを出力する入力回路と、第2内部クロックのタイミングで入力データを取り込み出力データとして外部に出力する出力回路と、該第2内部クロックを少なくともダミー負荷回路で遅延させ、ダミークロックとして出力するダミー回路と、該第1内部クロックに対する該ダミークロックの位相が所定値になるように該第1内部クロックをディレイ回路で遅延させ該第2内部クロックとして出力するDLL回路とを有し、該ダミー負荷回路の負荷の値 L_2 が、該外部クロックに対する該出力データのアクセスタイムが該出力データの周波数によらない場合の負荷の値 L_1 よりも、該出力データの周波数に応じて変化する該アクセスタイムの変化量最大値の略 $1/2$ に相当する負荷の値 ΔL だけ小さい。

【0026】請求項5の半導体装置では、請求項4において、上記外部クロックCLKの周波数を判定する周波数判定回路と、該周波数判定回路の判定結果に応じ、上記負荷の値を上記 L_1 又は L_2 に調整する負荷調整回路とを有する。この半導体装置によれば、使用する周波数に応じて自動的に上記補正が行われるという効果を奏する。

【0027】請求項6の半導体装置では、請求項5において、上記周波数判定回路は、モノマルチバイプレータと、該モノマルチバイプレータの出力パルスがアクティブの間、クロックを計数するカウンタとを有する。

【0028】請求項7の半導体装置では、請求項5又は6において、上記負荷の値 L_2 は複数存在し、上記ダミー負荷回路は、複数の部分負荷と該複数の部分負荷の各々を有効/無効にする複数のスイッチ素子と、を有し、上記負荷調整回路は、上記カウンタの計数値を変換する符号変換回路と、該符号変換回路の出力に応じて、上記負荷の値が該複数の値 L_2 のうちの1つに定められるように該スイッチ素子を制御する論理回路とを有する。

【0029】請求項8の半導体装置では、請求項5において、上記出力回路は選択可能な複数種の出力インタフェースに対応した回路を備え、選択された該出力インタフェースの種類を判定するインタフェース判定回路を有し、上記負荷調整回路は、上記周波数判定回路及び該インタフェース判定回路の判定結果に応じ、上記負荷の値を上記 L_1 又は L_2 に調整する。

【0030】この半導体装置によれば、どのインタフェースを選択しても上記補正が行われるという効果を奏する。請求項9の半導体装置では、請求項4乃至8のいずれか1つにおいて、上記ダミー回路は、信号遅延量が上記出力回路での上記外部クロックに対するデータ出力のそれに略等しいダミー出力回路と、上記ダミー負荷回路と、信号遅延量が上記入力回路のそれに略等しいダミー入力回路とを有し、該ダミー出力回路と該ダミー負荷回路と該ダミー入力回路とが縦続接続されている。

【0031】この半導体装置によれば、製造プロセスの

条件が変動してもダミー回路の遅延量を適正な値にすることができる。請求項10の半導体装置では、請求項4乃至9のいずれか1つにおいて、上記DLL回路は、上記第1内部クロックに対する上記ダミークロックの位相の進み、遅れ又は略一致を検出する位相比較回路と、該位相の進み又は遅れが検出された時に該位相比較回路が該位相の略一致を検出するように上記ディレイ回路の遅延量を制御するディレイ制御回路とを有する。

【0032】

10 【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

【第1実施形態】図1は、半導体装置30の出力回路23に關係した部分の概略構成を示す。出力回路23は、例えば図11の第3段パイプ23Aのように構成されている。出力回路23にはデータDATが供給され、データDATは、内部クロックjCLKに同期して出力回路23に取り込まれ、データDQとして出力される。データDQの外部出力端子には、負荷31aが接続されている。負荷31aは、図12の半導体装置31の入力段の負荷と半導体装置間の配線負荷との和であり、インタフェースの種類により異なる。

【0033】入力回路24は、例えば、静電保護回路と信号駆動能力を増幅するバッファ回路とを備えており、供給される外部クロックCLKを増幅し、内部クロックiCLKとして出力する。内部クロックiCLKは、遅延時間が可変のディレイ回路32を通して遅延され、内部クロックjCLKとして出力される。入力回路24及びディレイ回路32での信号遅延をそれぞれ δt_i 及び δt_x で表し、入力回路24及びディレイ回路32を除く外部クロックCLK入力端から出力回路23のクロック入力端までの配線による信号遅延を δt_w で表し、内部クロックjCLKが立ち上がりしてからデータDATがデータDQの外部端子まで又は負荷31aの略先端まで伝達するのに要する時間を δt_D と表記する。図12中のアクセスタイム t_a は、これらの時間の和になる。すなわち、

$$t_a = \delta t_i + \delta t_w + \delta t_D + \delta t_x$$

となる。 $\delta t_x = 0$ のときのアクセスタイム t_a は、SDRAMの特性や電源電圧のばらつきにより異なり、一定ではない。しかし、可変遅延時間 δt_x を適当に調整することにより、デッドバンドを0にすることは、原理的に可能である。図1中の上記構成要素以外は、この可変遅延時間 δt_x を適当に調整するためのものである。

【0034】半導体装置30は、入力回路24、出力回路23及び負荷31aに対応してそれぞれ、ダミー入力回路34、ダミー出力回路33及びダミー負荷回路31xを備えている。内部クロックjCLKは、出力回路23の制御入力端に対応したダミー出力回路33のそれにも供給される。ダミー出力回路33のデータ入力端には、ダミーデータd-DATが供給される。ダミー出力

回路33の出力は、ダミー負荷回路31xを介しダミー入力回路34に供給される。ダミー入力回路34の遅延時間 Δt_i は入力回路24のそれ δt_i に一致するように設計されており、ダミー出力回路33自体での遅延時間は出力回路23自体での遅延時間に一致するように設計されている。ダミー入力回路34及びダミー出力回路33はそれぞれ、例えば入力回路24及び出力回路23と同一又は類似の回路で構成されている。ダミー出力回路33とダミー負荷回路31xとの合計の遅延時間 Δt_D は、 δt_D に対応している。配線による信号遅延 δt_w に対応したダミー回路でのそれを Δt_w と表記する。 Δt_w も δt_w に一致するように設計されている。

【0035】ダミー負荷回路31xの構成例を、図2に示す。配線W1には、nMOSトランジスタ310～314のドレインが接続されている。nMOSトランジスタ310～314のソースとグランド線との間にはそれぞれ、キャパシタC0～C4が接続されている。キャパシタC0～C4は、例えばMOSキャパシタである。nMOSトランジスタ310～314のオン/オフ状態により、ダミー負荷回路31xの負荷が定められる。

【0036】図1において、SSTLインタフェースの場合にはVrefピンに、不図示のデータ入力回路の‘L’及び‘H’の判定に用いられる参照電位、例えば1.65Vが印加され、LVTTLインタフェースの場合には、Vrefピンに例えば0V又は3.3Vが印加される。インタフェース判定回路35は、Vrefピンにレファランス電位Vrefが印加されているかどうかにより、インタフェースの種類を判定する。インタフェース判定回路35は、例えば、Vrefピンの電位が設定値以下であれば、SSTLインタフェースであると判定してインタフェース判定信号S/Lを‘H’にし、そうでなければLVTTLインタフェースであると判定してインタフェース判定信号S/Lを‘L’にする。インタフェース判定信号S/Lが出力回路23に供給されて、出力回路23の出力段インタフェースが選択される。また、インタフェース判定信号*S/Lに応じて、負荷調整回路36により、後述する例外を除き、ダミー負荷回路31xの負荷による信号伝播遅延時間が標準的な負荷31aによるそれに等しくなるように、ダミー負荷回路31xの負荷が調整される。

【0037】負荷調整回路36の構成例を、図2に示す。インバータ360の出力端は、nMOSトランジスタ310のゲートに接続され、インバータ360の入力端は、アンドゲート361～364の一方の入力端に接続されている。アンドゲート361～364の出力端はそれぞれnMOSトランジスタ311～314のゲートに接続されている。インバータ360の入力端にはインタフェース判定信号S/Lが供給され、アンドゲート361～364の他方の入力端にはそれぞれダミー負荷調整データのビットCY1～CY4が供給される。ダミー

負荷調整データは、図1の周波数判定回路37の出力である周波数判定データCNを符号変換回路365で負荷調整用に変換したデータである。

【0038】インタフェース判定信号*S/Lが‘L’の場合、すなわち出力回路23の出力段がSSTLインタフェースの場合には、アンドゲート361～364の出力が全てLになり、nMOSトランジスタ311～314がオフになる。他方、nMOSトランジスタ310がオンになって配線W1にキャパシタC0が導通される。このキャパシタC0は、この状態でのダミー負荷回路31xによる遅延時間が標準的な負荷31a（図1）による遅延時間に等しくなるように設計されている。

【0039】インタフェース判定信号*S/Lが‘H’の場合、すなわち出力回路23の出力段がLVTTLインタフェースの場合には、nMOSトランジスタ310がオフになり、アンドゲート361～364が開かれる。外部クロックCLK毎に反転するデータDQがフルスイング可能な程度に外部クロックCLKの周波数が低い場合（低周波の場合）には、ビットCY1～CY4がいずれも‘H’にされて、キャパシタC1～C4が配線W1と導通される。この状態（LVTTLでの最大負荷状態）で、ダミー負荷回路31xによる遅延時間が、LVTTLインタフェースの場合の標準的な負荷31a（図1）による遅延時間に等しくなるように設計されている。

【0040】外部クロックCLK毎に反転するデータDQがフルスイングできない程度に外部クロックCLKの周波数が高い場合（高周波の場合）の動作については、後述する。周波数判定回路37の構成例を、図3（A）に示す。図3（B）は、図3（A）中のリセットパルスRST、モノパルスPLS及び外部クロックCLKの波形e～hを示す。

【0041】周波数判定回路37は、外部クロックCLKの周波数を判定し、その結果を周波数判定信号CNとして出力する。上記リセットパルスRSTによりモノマルチバイブレータ371がトリガされ、モノマルチバイブレータ371から所定パルス幅の1個のモノパルスPLSが出力される。これによりアンドゲート372が開かれ、外部クロックCLKがアンドゲート372を通過してカウンタ373で計数される。カウンタ373の計数値である周波数判定信号CNは、リセットパルスRSTにより初期化される。図3（B）に示す外部クロックCLKの波形e～h（周期T1～T4）では、周波数判定信号CNはそれぞれ5～8になる。

【0042】図1において、入力回路24及びダミー入力回路34の出力iCLK及びd_iCLKは、位相比較回路38に供給され、内部クロックiCLKに対するダミー内部クロックd_iCLKの位相の進み、一致及び遅れが検出される。図4（B）は、この位相関係を示している。この検出に応じて、ディレイ制御回路39に

より、兩位相の差が一定、例えば0になるように、ディレイ回路32の遅延時間が制御される。

【0043】ディレイ回路32と位相比較回路38とディレイ制御回路39とで、いわゆるDLL回路40が構成されている。図4(A)は、DLL回路40の構成例を示す。ディレイ回路32は、互いに同一構成のディレイ素子321～325が縦続接続されている。ディレイ素子321は、例えばインバータを2個縦続接続したものである。ディレイ素子321～325の入力端にはそれぞれ、アンドゲート32a～32eの出力端が接続されている。アンドゲート32a～32eの一方の入力端には内部クロックiCLKが供給される。アンドゲート32a～32eの他方の入力端には、ディレイ制御回路39の4ビットシフトレジスタ391の第1～4ビットがそれぞれ接続されている。

【0044】例えばシフトレジスタ391に図示のように‘00100’が保持されている場合、アンドゲート32a～32eのうちアンドゲート32cのみが開かれて、内部クロックiCLKがアンドゲート32c及びディレイ素子323～325を通り、内部クロックjCLKとして出力される。位相比較回路38は、図4(B)に示す如く、内部クロックiCLKに対しダミー内部クロックd_iCLKの位相が遅れている場合、一致(略一致)している場合及び進んでいる場合にそれぞれ、例えば‘00’、‘01’及び‘11’を出力する。シフトレジスタ391は、電源オン時等のリセットにより、例えば‘10000’に初期設定される。シフト制御回路392は、内部クロックiCLKに対しダミー内部クロックd_iCLKの位相が遅れている場合には、兩位相が略一致するまでシフトレジスタ391を右シフトさせる。この際、シフトレジスタ391の第1ビット(図4において左端ビット)に‘0’がロードされる。シフト制御回路392は、この位相が進んでいる場合には、兩位相が略一致するまでシフトレジスタ391を左シフトさせ、この際、シフトレジスタ391の第5ビット(図4において右端ビット)に‘0’がロードされる。

【0045】図5及び図6は、低周波での図1の回路の動作を示すタイムチャートであり、外部クロックCLKの立ち上がりに応じてデータDQが変化する場合は示している。図5は上記位相が時間 δs だけ進んでいる場合を示し、図6は可変遅延時間 δtx の調整により兩位相が一致している場合を示している。図1において、ディレイ回路32の遅延時間調整は、例えば、リセットパルスRSTの供給時(出力DQが実際に使用されない期間)において行われ、その調整値が電源オフ又は次のリセットパルスRSTの供給時まで固定される。この調整において、ダミーデータd_DAT及びデータDATは、例えば、共に外部クロックCLKのmパルス毎($m \geq 1$)に反転する。ダミーデータd_DATは、例えば、周期が外部クロックCLKの周期のm倍のクロック

でTフリップフロップをトリガして作成される。或いは、ダミーデータd_DATを‘L’又は‘H’に固定しておき、内部クロックjCLKのmパルス毎にダミー出力回路33の出力d_DQが反転するように、ダミー出力回路33を構成しておく。(A)データDQがフルスイングする場合におけるディレイ回路32の遅延時間調整動作

図5及び図6において、内部クロックjCLKが立ち上がってから時間 δtD 経過後に、データDQが変化する。ダミー負荷回路31xの出力がダミー入力回路34に供給されるので、この変化から Δti 経過後に、ダミー内部クロックd_iCLKが立ち上がる。ディレイ制御回路39により、ダミー内部クロックd_iCLKと内部クロックiCLKの位相差が0に調整されていれば、図6のように内部クロックiCLKがダミー内部クロックd_iCLKと同時に立ち上がる。内部クロックiCLKに対しダミー内部クロックd_iCLKの位相が時間 δs だけ進んでいれば、図5のようにダミー内部クロックd_iCLKが立ち上がってから δs 経過後に内部クロックiCLKが立ち上がる。

【0046】図5及び図6において、次のことが言える。

(i) 内部クロックiCLKの立ち上がりから時間 δti 前に、外部クロックCLKが立ち上がっていたことになり、且つ、ダミーデータ出力d_DQが変化したことになる。(ii) ダミー出力回路33の制御入力端で内部クロックjCLKが立ち上がった時点を基準にし、時間を逆にしてディレイ回路32及び入力回路24を遡ると、この基準時点から($\delta tw + \delta tx + \delta ti$)前に外部クロックCLKが立ち上がっていたことになる。

【0047】(iii) ダミーデータ出力d_DQが変化した時点から ΔtD 前に内部クロックjCLKが立ち上がっていたことになる。半導体装置30の特性や電源電圧のばらつき等が存在しても、このような動作により、外部クロックCLKに対するデータDQの位相が原理的に0になる。実際には、位相比較回路38の位相一致判定誤差等により、この位相は0にはならないが、デッドバンドを短縮することができる。位相比較回路38で検出された位相差が0以外の所定値、例えば $\pi/2$ になるように、ディレイ制御回路39でディレイ回路32の遅延を調整すれば、外部クロックCLKに対するデータDQの位相を0以外の所定値に調整することができる。

【0048】(B)問題点

このように調整しても、ダミー負荷回路31xのLVTTLでの負荷が上述の最大負荷状態しか取り得ない場合には、次のような問題が生ずる。すなわち、外部クロックCLKが高周波である場合には、例えば図14(D)のようにデータDQがフルスイングできなくなつて、アクセスタイム $t1b$ が、フルスイングできる場合のアク

セスタイム t_{1a} よりも短くなる。外部クロック CLK が高周波であっても、データ DQ がフルスイングできる程度に低周波であれば、アクセスタイムは t_{1a} となる。しかし、調整後の実際の使用時においては、データ DQ の周波数は予測できず急変するので、結果として、図 13 のホールドタイム t_H の余裕時間が $t_{1c} = t_{1a} - t_{1b}$ だけ短くなることになる。 t_{1c} は外部クロック CLK の周波数が高いほど大きくなる。データ DQ 及びダミーデータ d_DQ がフルスイングできない状態で上記調整を行えば、この状態でのアクセスタイムが t_{1a} になるが、調整後の実際の使用時においてデータ DQ の周波数がフルスイングできる程度になると、アクセスタイムが $t_{1a} + t_{1c}$ になり、結果として、図 13 のセットアップタイム t_S の余裕時間が t_{1c} だけ短くなることになる。

【0049】ホールドタイム t_H 及びセットアップタイム t_S のいずれの余裕時間が無くなっても、データDQの読み取りエラーが生ずることになるので、一方のみの余裕時間が短縮されると、半導体装置が搭載されたボードの不残留低下が著しくなる原因となる。

(C) 上記問題が解決される遅延時間調整動作

そこで、ダミー負荷回路 31x の負荷の値 L_2 を、アクセスタイム t_a がデータ DQ の周波数によらない場合の負荷の値 L_1 よりも、データ DQ の周波数に応じて変化するアクセスタイム t_a の変化量最大値の $1/2$ に相当する負荷の値 ΔL だけ小さくし、すなわち $L_2 = L_1 - \Delta L$ とし、この状態で DDL 回路 40 を動作させてディレイ回路 32 の遅延時間を調整する。調整においては、調整誤差をできるだけ小さくするために、データ DQ 及びダミーデータ d_DQ の周波数を、これらがフルスウィングする程度にする。例えば、外部クロック CLK の 4 サイクル毎にデータ DQ 及びダミーデータ d_DQ を反転させる。

【0050】 $L2 = L1 - \Delta L$ の関係を成立させるために、図2及び図3（B）において、例えば次のようにダミー負荷調整データが定められる。CY4がMSBであるとする。

- (1) $CN \geq 8$ に対し、 $CY = '0001'$
- (2) $CN = 7$ に対し、 $CY = '0011'$
- (3) $CN = 6$ に対し、 $CY = '0111'$
- (4) $CN = 5$ に対し、 $CY = '1111'$

ダミー・負荷回路31xの負荷容量は、LVTLLイン
フェースにおいて、(1)～(4)の場合にそれぞれ
キャパシタC1、C1+C2、C1+C2+C3、C1+
C2+C3+C4となる。キャパシタC2～C4は、上
記関係が成立するように定められる。

【0051】図8（A）及び（B）は、このような調整をDLL回路40で自動的に行った後の、外部クロックCLK及びデータDQを示している。図8（A）及び（B）は、位相比較回路38で検出された位相差が π ／

2 になるように調整されている場合を示している。図 8 (A) は、データ DQ の周期が外部クロック CLK の周期の 2 倍の場合に、すなわちデータ DQ が 'H'、'H'、'L'、'L'、'H'、・・・と変化する場合に、データ DQ がフルスイングする様子を示している。図 8 (B) は、データ DQ の周期が外部クロック CLK の周期と同じ場合に、すなわちデータ DQ が 'H'、'L'、'H'、'L'、・・・と変化する場合に、データ DQ がフルスイングできない様子を示している。図 7 は、該調整完了時のタイムチャートを示している。

【0052】図7の場合でも、上記(i)～(iii)が言える。(i)及び(ii)から、内部クロックiCLK、ダミー内部クロックd_iCLK及びダミーデータd_DQの位相関係は、図6の場合と同一である。L2=L1-ΔLとしたことから、 $\delta tD - \Delta tD = tlc/2$ が成立する。このことと、(iii)とから、内部クロックjCLKとデータDQの変化点とダミーデータd_DQの変化点との位相関係は、図7に示すように定まる。

【0053】 δt_D は、図6の場合と同一である。すなわち、 Δt_D は、図6の場合よりも $t_{1c}/2$ だけ小さい。 $\Delta t_i + \delta t_x + \Delta t_w + \Delta t_D$ は、図6及び図7において成立し、クロック周期に等しい。したがって、図7の δt_x は図6の場合よりも $t_{1c}/2$ だけ増加することになる。これにより、図7に示す如く、内部クロックjCLKの立ち上がりが図6の場合よりも $t_{1c}/2$ だけ遅くなる。

【0054】データDQは、図8（A）の場合には図7と同じく、 $\delta tD - \Delta tD = t1c / 2$ になり、アクセスタイム t_a が $t1a + t1c / 2$ になる。データDQは、図8（B）の場合には、 δtD が図6の場合よりも $t1c$ だけ減少するので、アクセスタイム t_a が $t1a - t1c / 2$ になる。結果として、アクセスタイム t_a を $t1c / 2$ だけ調整しない場合よりも、図13のホールドタイム tH の余裕時間が $t1c / 2$ だけ増加する。図13のセットアップタイム tS の余裕時間が、補正しない場合よりも $t1c / 2$ だけ増加することになるが、両タイム tS 及び tH の余裕のバランスがとれるので、余裕時間が実質的に増加し、半導体装置が搭載されたボードの不留りが向上する。

【0055】また、実際にはDLL回路40の調整誤差により、低周波の場合に調整してもデッドバンドが存在し、データDQについて正及び負の不規則なジッタが生ずる。他方、上記調整により、データ周波数の不規則な変化に応じて、データDQについて正及び負の不規則なジッタが生ずる。したがって、両ジッタが打ち消し合うこともある。これに対し、アクセスタイム t_a を $t_{lc}/2$ だけ調整しなかった場合には、データ周波数の不規則な変化に応じて、データDQについて負の大きな不規則な

則なジッタが生ずる。結果として、調整した方がしない場合よりも、図13のデッドバンドが短縮されることになる。

【0056】〔第2実施形態〕上記(C)の調整において、データDQ及びダミーデータd_—DQの周波数を、外部クロック毎に反転させる。この場合、ダミー負荷回路31xの負荷の値L₂を、アクセスタイムt_aがデータDQの周波数によらない場合の負荷の値L₁よりも、データDQの周波数に応じて変化するアクセスタイムt_aの変化量最大値の1/2に相当する負荷の値ΔLだけ大きくし、すなわちL₂=L₁+ΔLとし、この状態でDDL回路40を動作させてディレイ回路32の遅延時間を調整する。

【0057】この調整完了時の、図7に対応したタイムチャートを図9に示す。図9のδt_Dは図7のδt_Dよりもt_{1c}だけ短い。図9のδt_xは図7のそれと同一になり、同じ調整結果が得られる。また、周波数判定回路として、図4(A)のシフトレジスタ391を用い、その並列出力を周波数判定データCNとする。これが可能であるのは、調整後のシフトレジスタ391の内容が、クロック周波数に応じた値となるからである。

【0058】この場合、例えば、負荷調整回路36の出力値を固定して、DLL回路40による第1段階の調整を行い、シフトレジスタ391の内容が安定した後に、この固定を解除してDLL回路40による第2段階の調整を行うようにしてもよい。なお、本発明には外にも種々の変形例が含まれる。例えば、ダミー回路はディレイの総和に意味があるので、ダミー出力回路33、ダミー負荷回路31x及びダミー入力回路34はこれらが縦続接続されていれば接続順は任意である。ダミー負荷回路31x中の負荷を分割し、分割されたものをダミー出力回路33の前段やダミー入力回路34の後段に接続してもよい。また、ダミー入力回路34及びダミー出力回路33を備えずに、これらの回路での遅延に応じた負荷を、ダミー負荷回路31xに付け加えた構成であってもよい。

【0059】図2ではキャパシタの並列接続数を変えて容量を調整する場合を示したが、キャパシタの直列接続数を変えて同様に調整する構成であってもよいことは勿論である。また、上記説明では簡単化のために負荷が容量のみであったとしたが、図2において、実際にはトランジスタのオン抵抗があり、一般には負荷31aのインピーダンスに対応してダミー負荷回路31xのインピーダンスを調整してもよい。

【0060】本発明は、半導体装置30に供給される外部クロックCLKの周波数が固定の場合や出力インターフェイスが1つの場合にも適用でき、この場合にはインタフェース判定回路35、周波数判定回路37及び負荷調整回路36は不要となる。DLL回路40による調整は、半導体装置30の出荷段階だけで行い、この段階で

ディレイ回路32の遅延量をヒューズ切断等で固定するようにしてもよい。この場合、ダミー負荷回路30xは調整時のみ用いられることになる。したがって、DLL回路40のうちディレイ制御回路39及び位相比較回路38は半導体装置30の外部に配置されていてもよい。また、図2のダミー負荷回路31xを、トランジスタ310及び311と、キャパシタC0及びC1とのみで構成し、上記高周波の場合に、上記アクセスタイムの差t_{1c}を測定し、DLL回路40で調整したディレイ回路32の遅延時間をt_{1c}/2だけ短くするようにしてもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の概略構成を示すブロック図である。

【図2】図1中のダミー負荷回路31x及び負荷調整回路36の構成例を示す図である。

【図3】(A)は図1中の周波数判定回路37の構成例を示す図であり、(B)はこの回路の動作を示すタイムチャートである。

【図4】(A)は図1中のDLL回路40の概略構成例を示す図であり、(B)は位相比較回路の入力信号のタイムチャートである。

【図5】図1の回路での調整中の動作を示すタイムチャートである。

【図6】図1の回路での調整完了時の動作を示すタイムチャートである。

【図7】図1の回路での調整完了時の動作を示すタイムチャートである。

【図8】調整後のクロックCLKとデータDQの波形図である。

【図9】本発明の第2実施形態における図7に対応したタイムチャートである。

【図10】従来のシンクロナスDRAMの一部の概略構成図である。

【図11】図10中の第3段パイプの構成例を示す図である。

【図12】本発明の対象を一般化した従来の半導体装置の回路図である

【図13】図10及び図12の半導体装置の問題点を説明するためのタイムチャートである。

【図14】(A)～(D)はクロックCLKとデータDQの波形図であり、(A)はSSTLインタフェースかつ低周波の場合、(B)はSSTLインタフェースかつ高周波の場合、(C)はLVTTLLインタフェースかつ低周波の場合、(D)はLVTTLLインタフェースかつ高周波の場合を示す。

【符号の説明】

23 出力回路

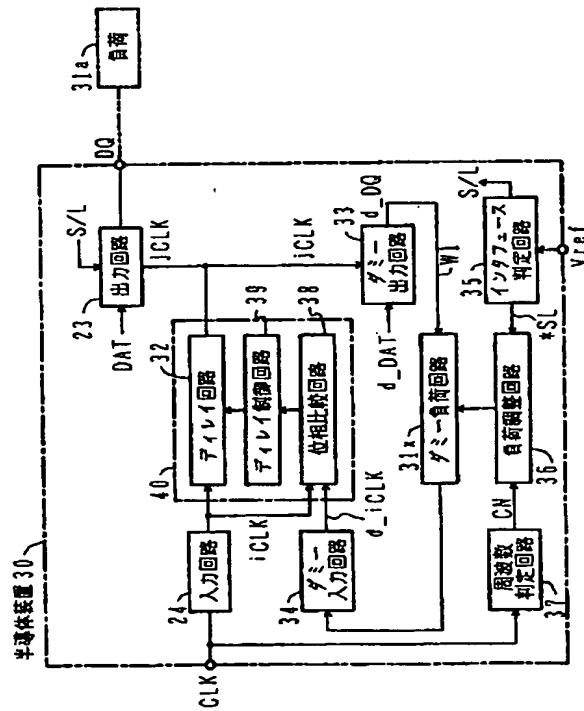
24 入力回路

30、30A、31 半導体装置

- 31a 負荷
- 31x ダミー負荷回路
- 310~314 nMOSトランジスタ
- 32 デイレイ回路
- 33 ダミー出力回路
- 34 ダミー入力回路
- 35 インタフェース判定回路
- 36 負荷調整回路
- 360 インバータ

【図1】

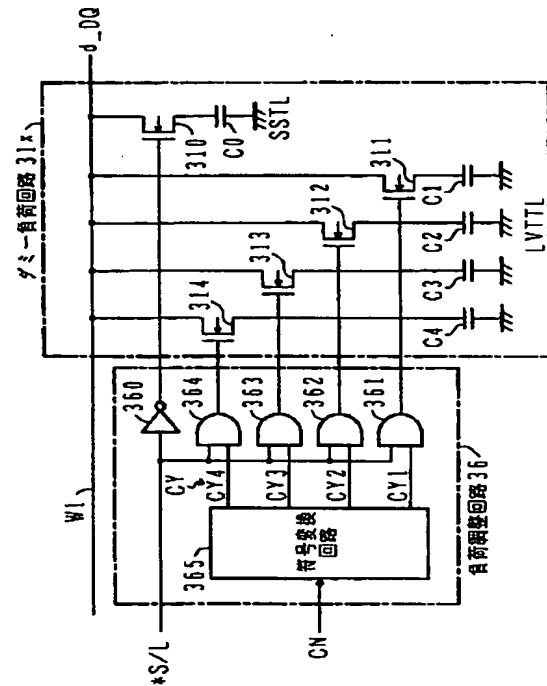
本発明の一実施形態に係る半導体装置の概略構成を示すブロック図



- 361~364 アンドゲート
- 365 符号変換回路
- 37 周波数判定回路
- 371 モノマルチパイプレタ
- 372 アンドゲート
- 373 カウンタ
- 38 位相比較回路
- 39 デイレイ制御回路
- 40 D L L回路

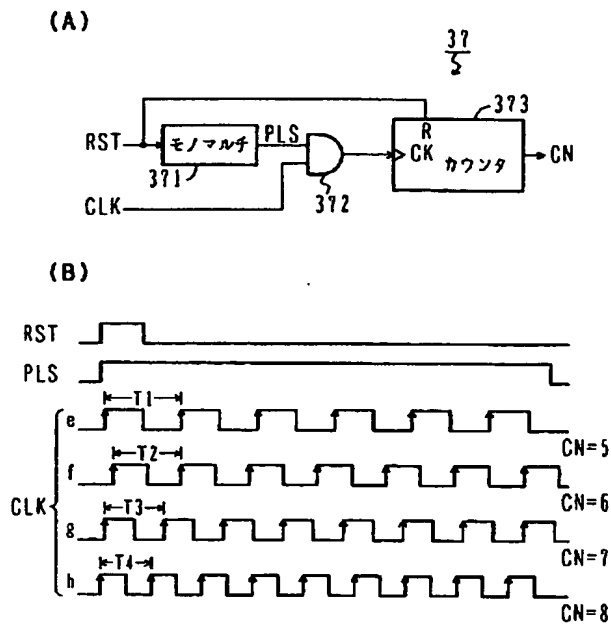
【図2】

図1中のダミー負荷回路及び負荷調整回路の構成例を示す図



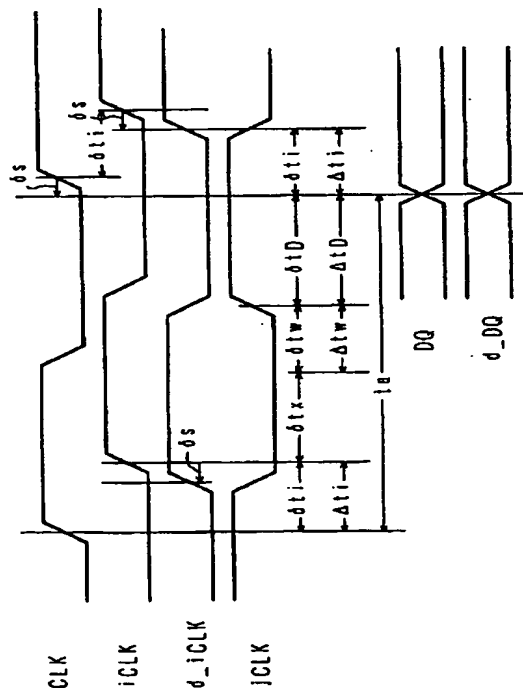
【図3】

(A)は図1中の周波数判定回路の構成例を示す図、
(B)はこの回路の動作を示すタイムチャート



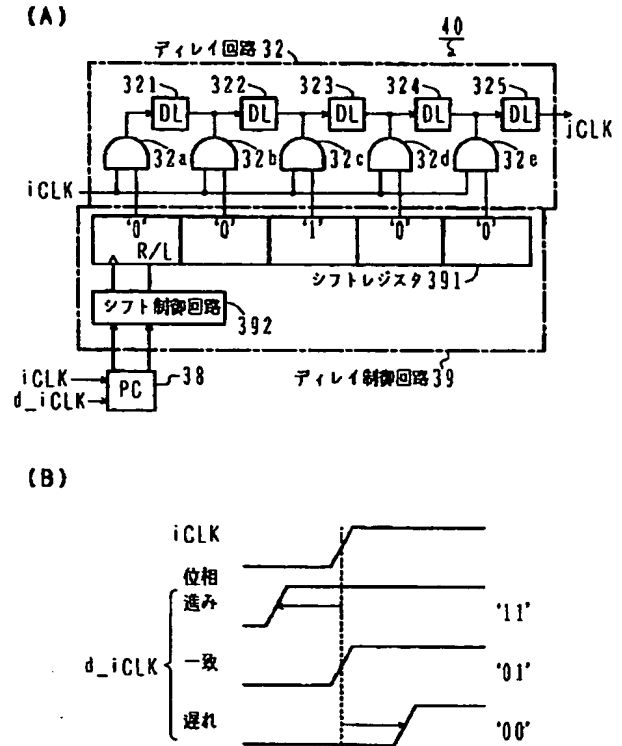
【図5】

図1の回路での調整中の動作を示すタイムチャート



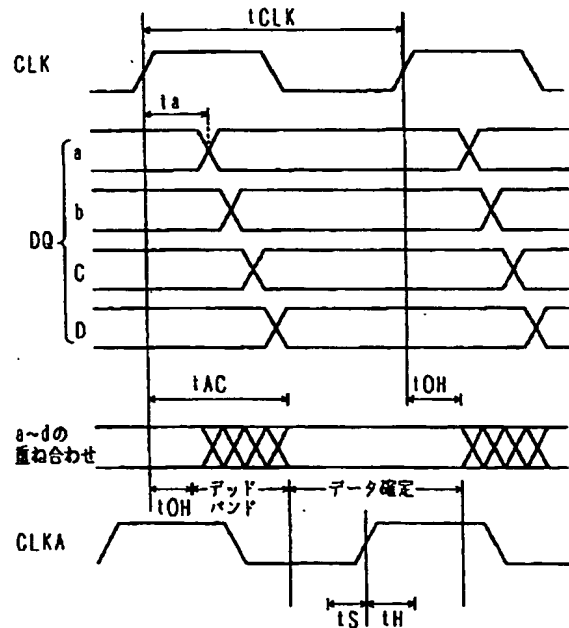
【図4】

(A)は図1中のDLL回路の構成例を示す図、
(B)は位相比較回路の入力信号のタイムチャート



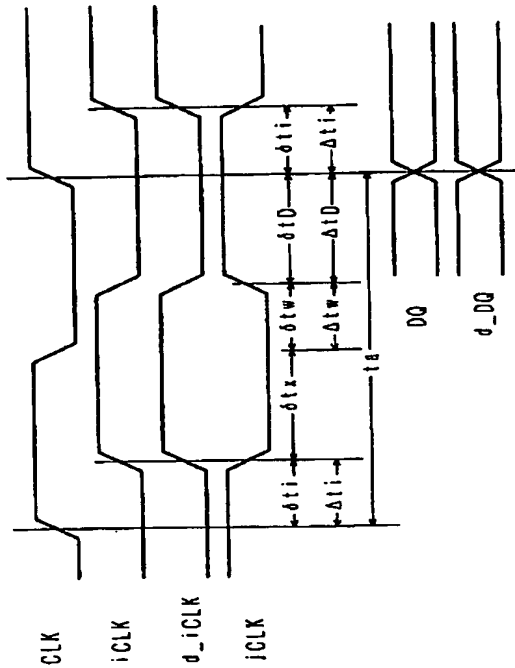
【図13】

図8及び図10の半導体装置の問題点を説明するためのタイミングチャート



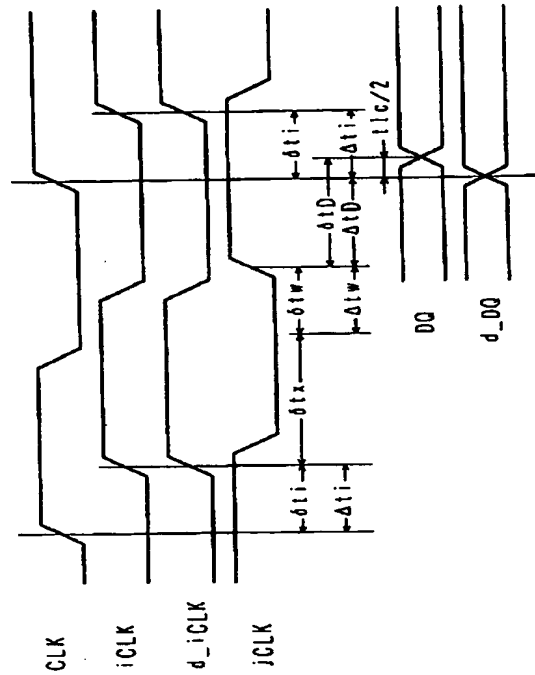
【図6】

図1の回路での調整完了時の動作を示すタイムチャート



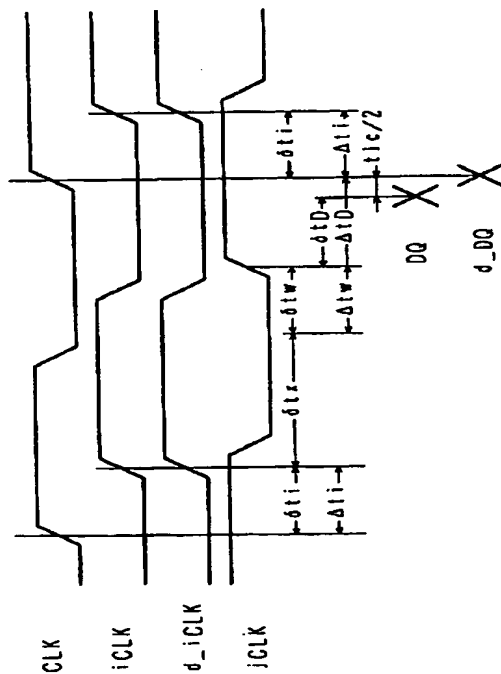
【図7】

図1の回路での調整完了時の動作を示すタイムチャート



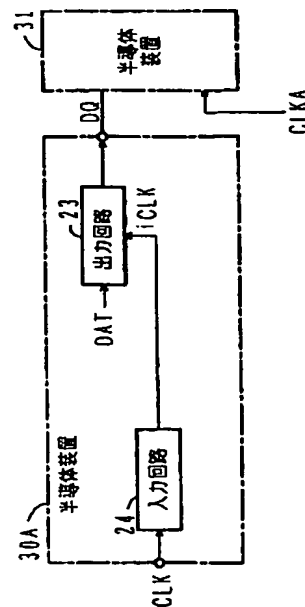
【図9】

本発明の第2実施形態における図7に対応したタイムチャート



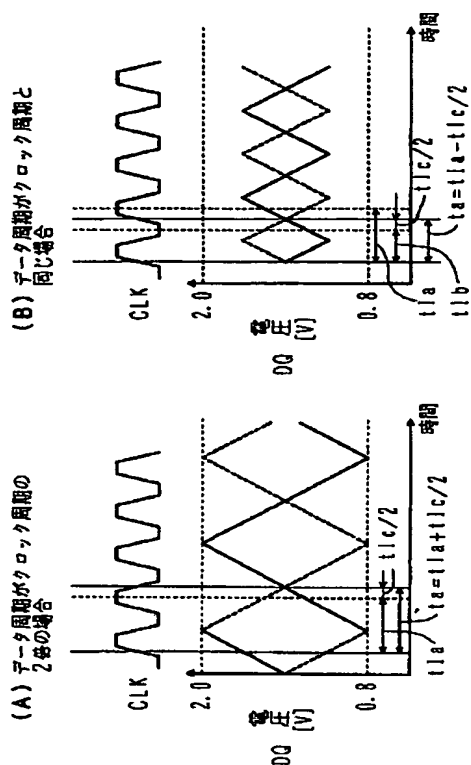
【図12】

本発明の対象を一般化した従来の半導体装置のブロック図



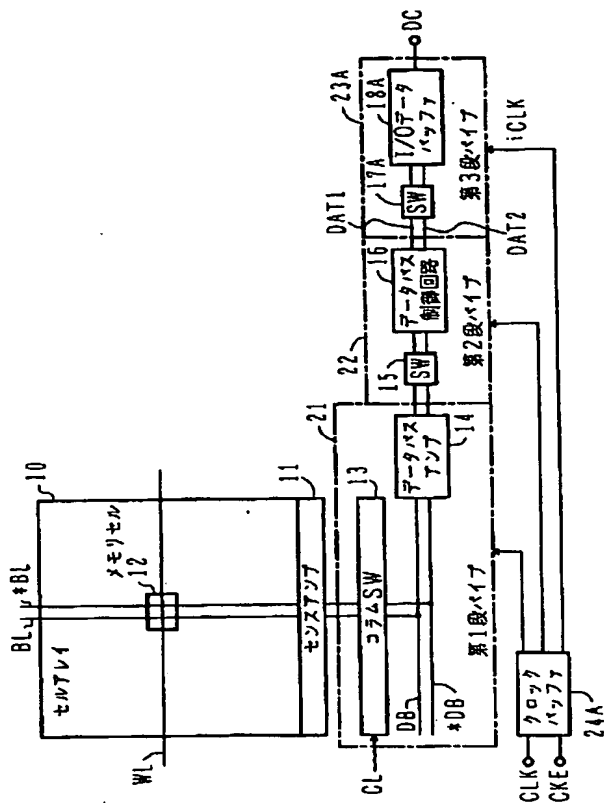
【図8】

調整後のクロックCLKとデータDQの波形図



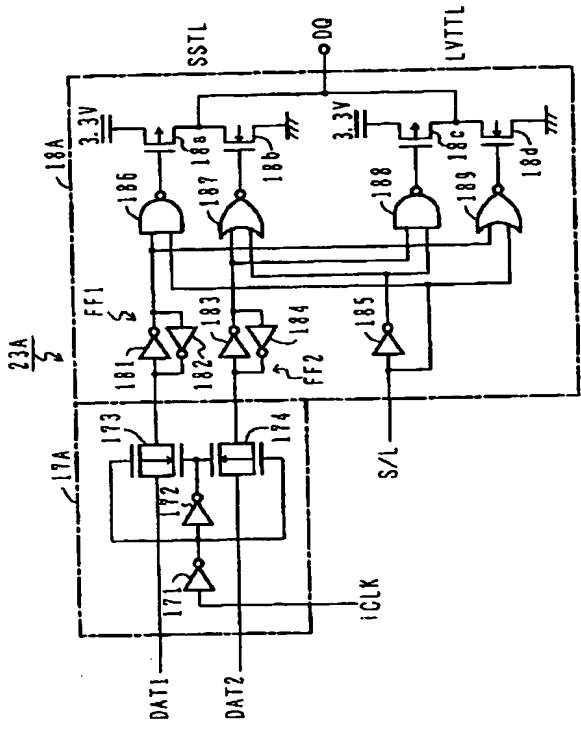
【図10】

従来のシンクロナスDRAMの一部の概略構成図



【図11】

図6中の第3パイプの構成例を示す図



【図14】

(A)~(D)はクロックCLKとデータDQの波形図

